



## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **2002133877 A**(43) Date of publication of application: **10.05.02**(51) Int. Cl. **G11C 16/02**(21) Application number: **2001266042**(22) Date of filing: **25.12.91**(62) Division of application: **03342807**(71) Applicant: **TOSHIBA CORP**

(72) Inventor:  
**TANAKA YOSHIYUKI**  
**NAKAMURA HIROSHI**  
**TANAKA TOMOHARU**  
**OHIRA HIDEKO**  
**OUCHI KAZUNORI**

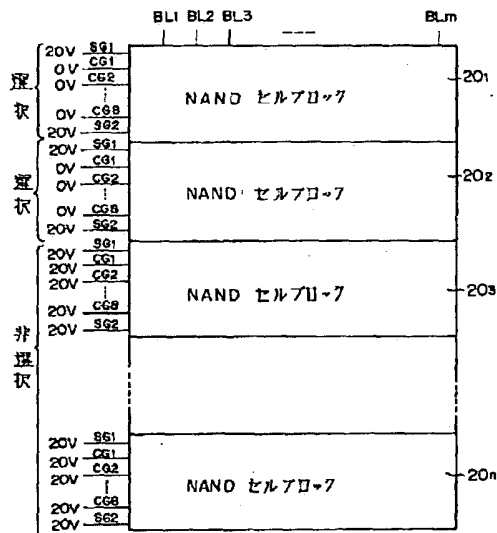
(54) **NON-VOLATILE SEMICONDUCTOR MEMORY**

## (57) Abstract:

**PROBLEM TO BE SOLVED:** To shorten an erasing time even when a large region is erased with a block.

**SOLUTION:** In an EEPROM in which memory cells having an electric charge storage layer and a control gate are arranged in a semiconductor substrate in a matrix state and rewriting of data can electrically be performed by delivering and receiving of electric charges between the electric charge storage layer and the substrate, the memory cells are divided into plural cell blocks 201-20n, the memory is constituted so that as erasure size to erase partially a memory cell, the minimum unit (one cell block) consisting of plural memory cells or the size of integer number times of the unit (plural cell blocks) and having continued address is selected.

COPYRIGHT: (C)2002,JPO







## 【特許請求の範囲】

【請求項1】 半導体基板に電荷蓄積層と制御ゲートを有するメモリセルがマトリクス配列され、電荷蓄積層と基板間の電荷の授受により電氣的にデータ書替えを可能にした不揮発性半導体記憶装置において、前記メモリセルを部分消去すべき消去サイズが、複数のメモリセルからなる最小単位とその整数倍で且つアドレスが連続するものとして選択可能に構成されていることを特徴とする不揮発性半導体記憶装置。

【請求項2】 前記ブロックのサイズは、最小単位の2の $n$ 乗倍 ( $n=0, 1, 2, \dots$ ) のサイズであることを特徴とする請求項1記載の不揮発性半導体記憶装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、浮遊ゲートと制御ゲートを有する電氣的書き替え可能なメモリセルを用いた不揮発性半導体記憶装置 (EEPROM) に係わり、例えばNANDセル構成のメモリセルアレイを有するEEPROMに関する。

## 【0002】

【従来の技術】 EEPROMの中で高集積化可能なものとして、メモリセルを複数個直列接続したNAND型のEEPROMが知られている。一つのメモリセルは基板上に絶縁膜を介して浮遊ゲートと制御ゲートが積層されたFETMOS構造を有し、複数個のメモリセルが隣接するもの同士でそのソース、ドレインを共用する形で直列接続されてNANDセルを構成する。NANDセルの一端側ドレインは選択ゲートを介してビット線に接続され、他端側ソースはやはり選択ゲートを介して共通ソース線に接続される。このようなメモリセルが複数個マトリクス配列されてEEPROMが構成される。メモリセルアレイは通常、 $n$ 型半導体基板に形成された $p$ 型ウェル内に形成される。

【0003】 このNAND型EEPROMの動作は、次の通りである。データ書込みは、ビット線から遠い方のメモリセルから順に行う。 $n$ チャネルの場合を説明すると、選択されたメモリセルの制御ゲートには昇圧された書き込み電位 $V_{pp}$  ( $=20V$ 程度) を印加し、これよりビット線側にある非選択メモリセルの制御ゲート及び選択ゲートには中間電位 $V_{ppM}$  ( $=10V$ 程度) を印加し、ビット線にはデータに応じて $0V$  (例えば“1”) 又は中間電位 (例えば“0”) を印加する。このとき、ビット線の電位は非選択メモリセルを転送されて選択メモリセルのドレインまで伝わる。データ“1”のときは、選択メモリセルの浮遊ゲートとドレイン間に高電界がかかり、ドレインから浮遊ゲートに電子がトンネル注入されてしきい値が正方向に移動する。データ“0”のときはしきい値変化はない。

【0004】 データ消去は、チップ消去とブロック消去の2種類のモードを有する。チップ消去は、NANDセ

ル内の全てのメモリセルに対して同時に行われる。即ち、全ての制御ゲート、選択ゲートを $V_{pp}$ とし、 $p$ 型ウェル及び $n$ 型基板に昇圧された消去電位 $V_{ppE}$  ( $=20V$ ) を印加する。これにより、全てのメモリセルにおいて浮遊ゲートの電子がウェルに放出され、しきい値が負方向に移動する。

【0005】 これに対し、ブロック消去は、選択されたNANDセルブロック内の全ての制御ゲートに接地電位を与え、非選択のNANDセルブロック内の全ての制御ゲート、全てのNANDセルブロック内の全ての選択ゲート及びメモリセルが形成された $p$ 型ウェルに消去電位を与える。これにより、選択されたブロックにおいて浮遊ゲートの電子がウェルに放出され、ブロック単位の消去が行われる。

【0006】 例えば4MビットNAND型EEPROMでは、メモリセルは32kビット $\times$ 128ブロックに分割される。消去時間 ( $p$ 型ウェルに高電圧を印加する時間) は約10msであり、チップ消去で4Mビット一括消去する場合も、また1ブロック (32kビット) のみ消去する場合についても、消去時間は等しい。

【0007】 よって、例えば1Mビットをブロック消去する場合、32ブロックを消去するので、 $32 \times 10 = 320ms$ の消去時間を必要とする。このように多くのブロックを消去する場合においては、チップ消去に比較して大幅な消去時間の増加を招くという問題点を有する。

【0008】 データ読出しは、選択されたメモリセルの制御ゲートを $0V$ とし、それ以外の選択ブロック内のメモリセルの制御ゲート及び選択ゲートを電源電位 $V_{cc}$  ( $=5V$ ) として、選択メモリセルで電流が流れるか否かを検出することにより行われる。

## 【0009】

【発明が解決しようとする課題】 以上のように従来のNAND型EEPROMでは、大きい領域をブロック消去する場合に、チップ消去と比較して消去時間が大幅に長くなるという問題があった。

【0010】 本発明はこのような点に鑑みなされたもので、高速なブロック消去を可能とするEEPROMを提供することを目的とする。

## 【0011】

【課題を解決するための手段】 上記課題を解決するために本発明は次のような構成を採用している。

【0012】 即ち本発明は、半導体基板に電荷蓄積層と制御ゲートを有するメモリセルがマトリクス配列され、電荷蓄積層と基板間の電荷の授受により電氣的にデータ書替えを可能にした不揮発性半導体記憶装置において、前記メモリセルを部分消去すべき消去サイズが、複数のメモリセルからなる最小単位とその整数倍で且つアドレスが連続するものとして選択可能に構成されていることを特徴とする。

## 【0013】

【発明の実施の形態】以下、本発明の詳細を図示の実施形態によって説明する。

【0014】(第1の実施形態)図1は、本発明の第1の実施例に係わるNANDセル型EEPROMの概略構成を示すブロック図である。図では、データ書込み及び読出し動作を制御する制御回路部は省略して、データ消去に関係する部分のみ示している。メモリセルアレイ5は、後に詳細に説明するようにn型シリコン基板に形成されたp型ウェル4内に形成されている。このメモリセルアレイ5に対して、ブロック消去を行うためのブロック選択回路7が設けられている。このブロック選択回路7の出力に応じて各NANDセルブロック内の制御ゲート及び選択ゲートに消去電位制御回路2から与えられる消去電位を与えるために、制御ゲート・選択ゲート制御回路6が設けられている。

【0015】消去電位は消去電位昇圧回路1が発生する。この消去電位昇圧回路1から得られる消去電位が消去電位制御回路2を介し、制御ゲート・選択ゲート制御回路6を介して各NANDセルの制御ゲート及び選択ゲートに与えられる。また、消去電位制御回路2からの消去電位はp型ウェル4にも与えられる。n型基板の電位は、基板電位制御回路3によって制御される。ビット線制御回路8は、データ書込み時及び読出し時に動作するもので、データ消去時はメモリセルアレイ5から切り離される。

【0016】図2(a)(b)は実施例のメモリセルの一つのNANDセル部の平面図と等価回路であり、図3(a)(b)はそれぞれ図2(a)のA-A'及びB-B'断面図である。n型シリコン基板9のメモリセルアレイ領域にはp型ウェル4が形成され、このp型ウェル4の素子分離絶縁膜12によって区画された領域にNANDセルが形成されている。

【0017】一つのNANDセルに着目して説明すると、この実施例では8個のメモリセルM1~M8によりNANDセルが構成されている。各メモリセルは、p型ウェル4上に熱酸化で形成された薄いゲート絶縁膜13を介して第1層多結晶シリコン膜による浮遊ゲート14(14<sub>1</sub>~14<sub>8</sub>)が形成され、この上に層間絶縁膜15を介して第2層多結晶シリコン膜による制御ゲート16(16<sub>1</sub>~16<sub>8</sub>)が積層形成されている。浮遊ゲート14が電荷蓄積層である。

【0018】各メモリセルの制御ゲート16は横方向に配列されるNANDセルについて連続的に制御ゲート線CG(CG1~CG8)として配設され、通常これがワード線となる。メモリセルのソース、ドレイン拡散層であるn型層11は隣接するもの同士で共用されて8個のメモリセルM1~M8が直列接続されている。これら8個のメモリセルのドレイン側、ソース側にはそれぞれ選択ゲートS1、S2が設けられている。これら選

択ゲートのゲート絶縁膜は通常メモリセル部とは別にそれより厚く形成されて、その上に2層のゲート電極14<sub>1</sub>、16<sub>1</sub>及び14<sub>8</sub>、16<sub>8</sub>が形成されている。これらの二層のゲート電極は所定間隔でコンタクトして、制御ゲート線CGの方向に連続的に配設されて選択ゲート線SG1、SG2となる。

【0019】素子形成された基板上はCVD絶縁膜17により覆われ、この上にビット線18が配設されている。ビット線18は、一方の選択ゲートS1のドレイン拡散層にコンタクトしている。他方の選択ゲートS2のソース拡散層は、通常は共通ソース線として複数のNANDセルに共通に配設される。

【0020】図4は、このようなNANDセルがマトリクス配列されたメモリセルアレイの等価回路を示している。

【0021】この実施例におけるブロック消去の概略を、図5を用いて説明する。メモリセルアレイは図5に示すように、複数のNANDセルブロック20(20<sub>1</sub>~20<sub>n</sub>)により構成されている。いま消去モードで上から1番目のセルブロック20<sub>1</sub>と2番目のNANDセルブロック20<sub>2</sub>が選択されたとすると、メモリセルアレイが形成されたp型ウェル及びn型基板にそれぞれ消去電位V<sub>ppE</sub>(=20V)が印加され、同時に選択されたNANDセルブロック20<sub>1</sub>及び20<sub>2</sub>内の全ての制御ゲートに0Vが印加される。そして、選択されたNANDセルブロック及び非選択のNANDセルブロック内の全ての選択ゲート、非選択のNANDセルブロック内の全ての制御ゲートには消去電位V<sub>ppE</sub>が与えられる。ビット線は全てフローティングとされる。

【0022】この結果、選択されたNANDセルブロック20<sub>1</sub>、20<sub>2</sub>内で全てのメモリセルの浮遊ゲートの電子がp型ウェルに放出されて、ブロック20<sub>1</sub>、20<sub>2</sub>のデータ消去がなされることになる。

【0023】上述のようなブロック消去を行うための図1の各部の具体的な構成と動作を、以下に詳しく説明する。

【0024】図6は、図1のブロック選択回路7及び制御ゲート・選択ゲート制御回路6の具体的構成を、一つのNANDセルブロック20<sub>i</sub>について示したものである。ブロック選択回路7は、ロウデコーダ・イネーブル信号RDENBとアドレス信号aiの論理をとるNANDゲートG1が基本回路であり、選択されたブロックについてはノードN1が“H”レベルになる。

【0025】ノードN1の信号は、転送ゲート71を介して、又はインバータI2と転送ゲート72を介して制御ゲート・選択ゲート制御回路6に入力される。転送ゲート71と72はこの実施例では、PMOSTランジスタとNMOSTランジスタを並列接続して構成されており、消去制御信号ERASE、/ERASEによっていずれか一方が導通状態になるように制御される。即ちデータ消去

時は、制御信号 ERASEが“H”レベルであって、このとき転送ゲート72がオンとなり、ノードN1の信号がインバータI2で反転されてノードN2に伝達される。つまり、消去モードで選択ブロックについてノードN2が“L”レベルになる。また、ブロック選択回路7のノードN1は読出し時に“H”レベルとなる制御信号READによって制御される別の転送ゲート73を介して、NANDセルブロックのソース側の選択ゲートに接続される。

【0026】制御ゲート・選択ゲート制御回路6には、図1の昇圧電位制御回路2から得られる昇圧電位VppE (=20V)を各制御ゲートに与えるための共通駆動回路61を有する。駆動回路61は、PMOS負荷トランジスタQp1、Qp2とNMOSドライバトランジスタQN1、QN2により構成されている。ノードN2の信号が一方のドライバトランジスタQN1のゲートに直接入力され、他方のドライバトランジスタQN2のゲートにはインバータI1により反転されて入力される。これにより、駆動回路61には相補出力が得られる。この駆動回路61の一方の出力、即ちドライバトランジスタQN2のドレイン出力は、消去モードの選択ブロックについては“L”レベルであり、これがNANDセルブロック20iの制御ゲート線CGに制御信号CD (CD1~CD8)を供給するための転送ゲート62<sub>i</sub>~62<sub>8</sub>の制御信号として用いられる。従って、選択ブロックについて転送ゲート62<sub>i</sub>~62<sub>8</sub>はオフである。

【0027】制御信号CDは消去モードでは消去電位VppEである。制御ゲート線CGにはそれぞれ放電用のNMOSトランジスタQN8、…、QN10、…、QN14、…、QN16が設けられている。駆動回路61の他方の出力、即ちドライバトランジスタQN1のドレイン出力は、これらの放電用トランジスタのゲートに制御信号として入る。

【0028】従って、ブロック選択回路7の出力、つまりノードN2が“L”レベルである消去モードの選択ブロックについては、駆動回路61の一方のドライバトランジスタQN1のドレイン出力が“H”レベル、他方のドライバトランジスタQN2のドレイン出力が“L”レベルであるから、転送ゲート62<sub>i</sub>~62<sub>8</sub>のPMOSトランジスタには“H”レベル、NMOSトランジスタには“L”レベルが入ってこれらは全てオフとなる。このとき、各制御ゲート線CGに設けられた放電用トランジスタQN8、…、QN10、…、QN14、…、QN16がオンになって、選択ブロックの制御ゲートは全て0Vとされる。非選択ブロックでは、ノードN2が“H”レベルであるから、駆動回路61の出力は選択ブロックとは逆になり、転送ゲート62<sub>i</sub>~62<sub>8</sub>がオンとなって制御信号CDが各制御ゲート線CGに与えられる。

【0029】制御ゲート・選択ゲート制御回路6内には、ドレイン側の選択ゲート線SG1を制御するC2 MOSインバータ構成の選択ゲート駆動回路63が設けら

れている。この駆動回路63の電源には、書込み時に中間電位となりそれ以外では外部電源電位Vccと同じ値をとる制御信号VMSGが用いられている。この駆動回路63のPMOS側クロック信号ERASEHは、消去モードでVppEと同じ高電位となる信号である。また、ドレイン、ソース両方の選択ゲート線SG1、SG2には、制御信号ERASEHにより制御されるNMOSトランジスタQN12、QN17を介して消去時に昇圧電位VppEと同じ電位となる制御信号VppSGが与えられるようになっている。従って消去モードにおいては、選択ブロック、非選択ブロックを問わず、NMOSトランジスタQN12、QN17がオンになって、選択ゲート線SG1、SG2に制御信号VppSGが与えられる。

【0030】厳密に言えば、選択ゲート線SG1、SG2に与えられるのは、NMOSトランジスタQN12、QN17のしきい値をVthとして、VppE - Vthである。メモリセルアレイが形成されたp型ウェルと同時に、NANDセルの共通ソースにはソースには、消去モードにおいて消去電位VppEとなるウェル制御信号Vwellが与えられる。

【0031】ここで、本実施例では前記ブロック選択回路7のNANDゲートG1に入力されるアドレスによってブロックを選択する。4MビットNAND型EEPROMを例に考えると、メモリセルは128ブロックに分割されており、アドレスA12 (A12) からアドレスA18 (A18) の7アドレスで選択される。

【0032】図7にアドレスバッファ部の構成を示す。ここでは、チップイレースと2ブロック毎のブロック消去を設定して説明を加える。(b)に示すように(A12~A18)にはCERASE信号が入力され、さらに(a)に示すように(A12)にはこれと共にBERASE信号が入力されている。チップイレース時には、CERASE信号がHとなり、全アドレスのAi及び/Aiが両者ともHとなり、128個の上述のブロック選択回路が選択状態となり、NANDゲートG1の出力は全て“L”となる。

【0033】ブロック消去時においてもBERASE信号がHとなると、BERASE信号が入力されている(A12)アドレスバッファ回路においてA12及び/A12が両者ともHとなる。残りのAi、/Aiはチップ外部からのブロックアドレス信号によって選択され、結果として2ブロックが選択状態となる。つまり、BERASE信号がアドレスバッファに入力されていなかった従来例のように、外部から入力されるブロックアドレス信号に応じて1ブロックのみを選択状態とするのではなく、2ブロックの選択が可能となる。

【0034】このように本実施例によれば、(A12)アドレスバッファのA12、/A12両者を入力によらずHとすることによって、チップ外部から見たブロック消去の単位は従来の2倍となる。このため、複数のブロックを消去する際に1ブロックずつ消去する従来例に比して

ブロック消去の高速化をはかることができる。当然のことながら、(A13)を(A12)と同様の構成にすれば4ブロックが、さらに(A14)も同様の構成にすれば8ブロックが同時に選択される。

【0035】なお、上述した複数ブロック毎の消去は、チップ製造時に配線オプションとしておくことも可能である。最も簡単な方法は、複数個のアドレスバッファを図7の(A12)と同様の形にしておいて、その3入力NOR回路の入力のうちの一つにブロックイレースのBERASE信号を入力するか、Vssを入力するか選択し、配線を行えばよい。

【0036】また、図8に示すように、ヒューズ80を溶断することによってブロックサイズを変えることもできる。ヒューズ80を切断すると、BERASE信号が“H”の時に、A12、/A12の両者が多重選択される。さらに、図9に示すように、ボンディングオプションにすることによってブロックサイズを変えることもできる。ボンディングパッド90をVccに接続すれば、BERASE信号が“H”の時A12、/A12が多重選択される。また、ヒューズやボンディングオプションの代わりに、EEPROMの情報を記憶させる方法も考えられる。

【0037】(第2の実施形態)次に、本発明の第2の実施例について説明する。第1の実施例では、ブロック消去のサイズはアドレスバッファの形によって可変であるが、ユーザー自身がブロック消去のサイズを設定することはできない。しかし、以下の第2の実施例によれば、ユーザー自身が状況に応じてブロック消去のサイズを選択することが可能である。この実施例では、消去はチップ消去、2ブロック毎の消去、4ブロック毎の消去の3種類の消去モードを有する場合について説明する。

【0038】通常、チップはCPU側からのコマンド信号を受けて動作するが、本実施例においては上記の消去モードに対応する3種類のコマンドを有するとする。図10に本実施例におけるアドレスバッファを示す。

(c)に示すように、(A12~A18)にはCERASE信号が入力され、(b)に示すように(A13)にはこれと共にBERASE2信号が入力されている。また、(A12)には、(A13)の構成においてBERASE2の代わりに、BERASE1信号とBERASE2がORゲートを介して入力されている。

【0039】この実施例では、まずチップ消去のコマンドが取り込まれると、信号CERASEが“H”となり、A12~A17の全アドレスのAi及び/Ai信号がHとなり、全ブロックが選択状態となり、チップが一括で消去される。また、2ブロック毎の消去のコマンドが入力されると、BERASE1信号がHとなる。A12、/A12はいずれもHとなり、2ブロックが選択状態となる。さらに、4ブロック毎の消去のコマンドが入力されると、BERASE2信

号がHとなり、A12、/A12、A13、/A13のいずれもがHとなり、結果として4ブロックが選択状態となる。

【0040】これによって、数種類のブロックイレースコマンドを有することによって、ブロック消去のサイズを可変することが可能となる。また、この実施例においても第1の実施例で説明したように、配線オプション、ヒューズ、EEPROM等を用いることによって、ブロック消去の自由度を増すことができる。

【0041】なお、本発明は上述した各実施例に限られるものではなく、その要旨を逸脱しない範囲で、種々変形して実施することができる。実施例では、NAND型EEPROMを例にとり説明したが、各種不揮発性メモリに対しても同様に適用できる。

【0042】

【発明の効果】以上詳述したように本発明によれば、メモリセルを部分消去すべき消去サイズを可変することができるので、大きい領域をブロック消去する場合にも消去時間を短くすることができる。

【図面の簡単な説明】

【図1】第1の実施例に係わるNANDセル型EEPROMの概略構成を示す図。

【図2】第1の実施例におけるNANDセルのレイアウトと等価回路図。

【図3】図2のA-A'及びB-B'断面図。

【図4】第1の実施例におけるメモリセルアレイの等価回路図。

【図5】第1の実施例におけるブロック消去動作の概要を説明するための図。

【図6】第1の実施例におけるブロック選択回路とゲート制御回路部の構成を示す図。

【図7】第1の実施例におけるアドレスバッファ部の構成を示す図。

【図8】第1の実施例のアドレスバッファ部の変形例を示す図。

【図9】第1の実施例のアドレスバッファ部の他の変形例を示す図。

【図10】第2の実施例におけるアドレスバッファ部の構成を示す図。

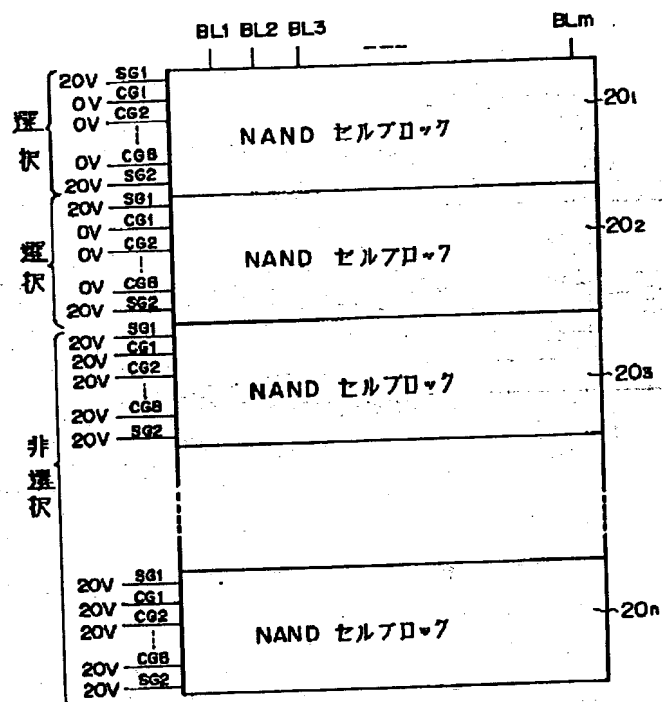
【符号の説明】

- 1…消去電位昇圧回路
- 2…消去電位制御回路
- 3…基板電位制御回路
- 4…p型ウェル
- 5…メモリセルアレイ
- 6…制御ゲート・選択ゲート制御回路
- 7…ブロック選択回路
- 8…ビット線制御回路

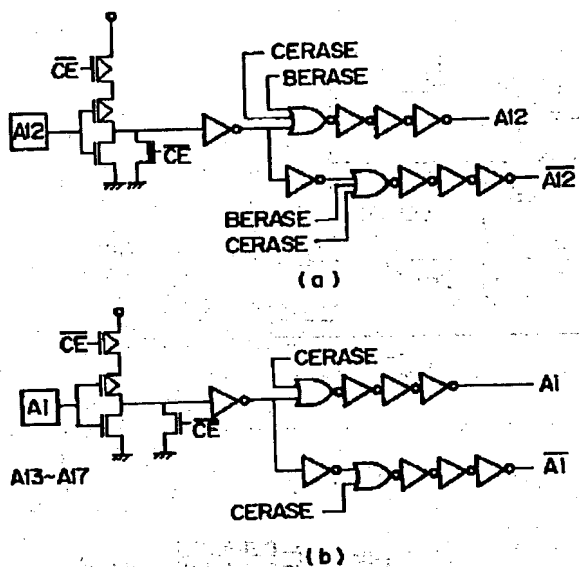




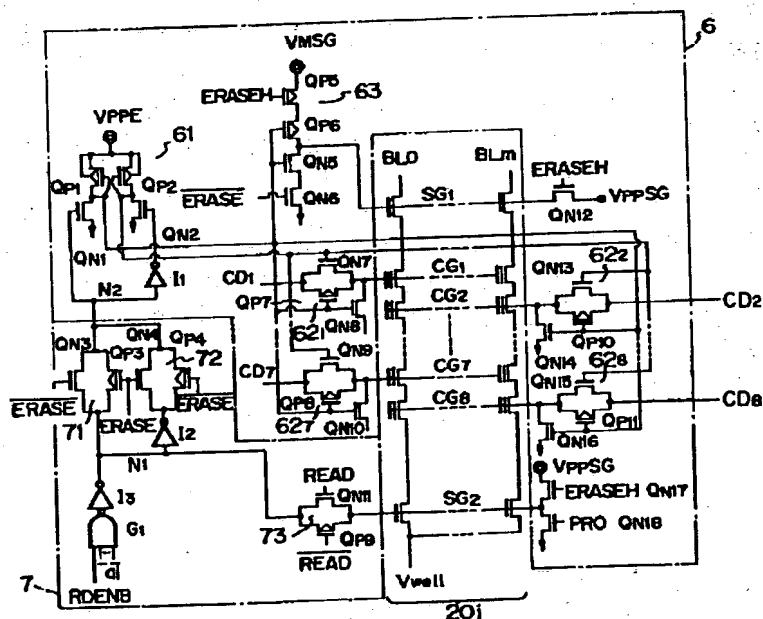
【図5】



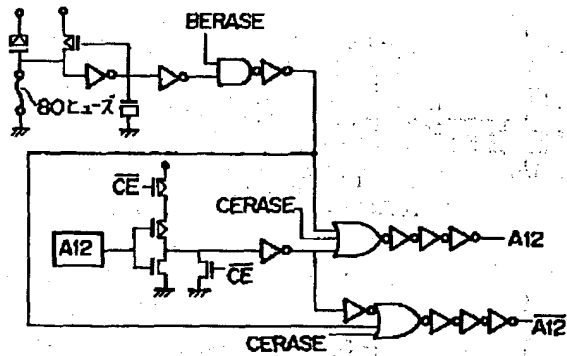
【図7】



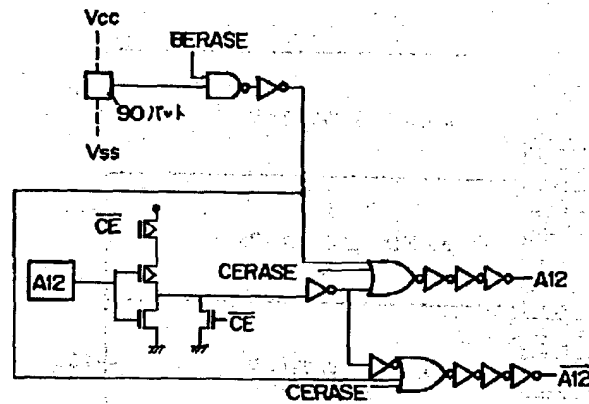
【图6】



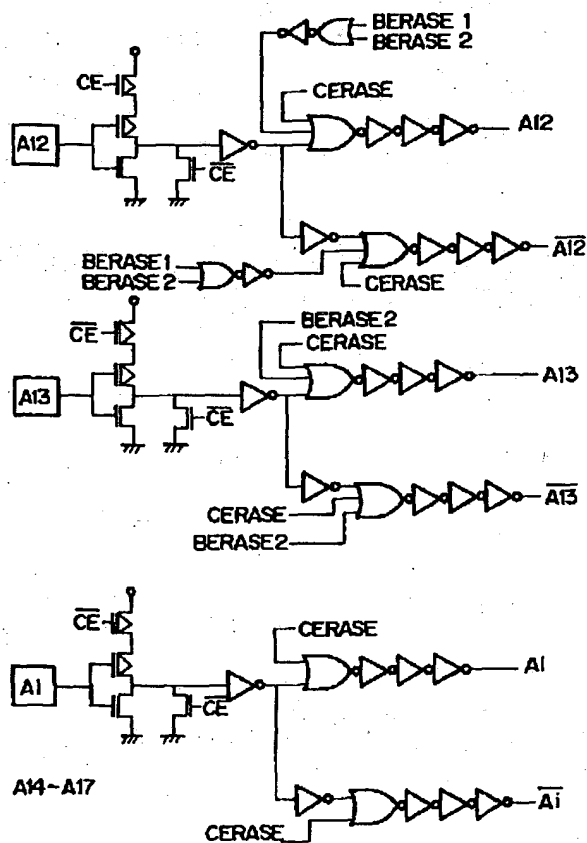
【図8】



【図9】



【図10】



フロントページの続き

(72)発明者 田中 智晴  
神奈川県川崎市幸区小向東芝町1番地 株  
式会社東芝総合研究所内

(72)発明者 大平 秀子  
神奈川県川崎市幸区小向東芝町1番地 株  
式会社東芝総合研究所内

(72)発明者 大内 和則  
神奈川県川崎市幸区小向東芝町1番地 株  
式会社東芝総合研究所内

Fターム(参考) 5B025 AA01 AC01 AD01 AD08 AD10  
AE05